

Docket No.: 61282-043

**PATENT**

**IN THE UNITED STATES PATENT AND TRADEMARK OFFICE**

In re Application of	:	Customer Number: 20277
	:	
<b>Takuya KOBAYASHI</b>	:	Confirmation Number:
	:	
Serial No.:	:	Group Art Unit:
	:	
Filed: November 03, 2003	:	Examiner:
	:	
For: PATH DELAY MEASURING CIRCUITRY	:	

**CLAIM OF PRIORITY AND  
TRANSMITTAL OF CERTIFIED PRIORITY DOCUMENT**

Mail Stop CPD  
Commissioner for Patents  
P.O. Box 1450  
Alexandria, VA 22313-1450

Sir:

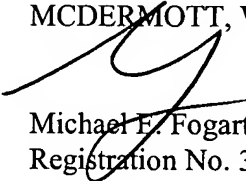
In accordance with the provisions of 35 U.S.C. 119, Applicant hereby claims the priority of:

**Japanese Patent Application No. P. 2002-325359, filed November 8, 2002**

cited in the Declaration of the present application. A certified copy is submitted herewith.

Respectfully submitted,

MCDERMOTT, WILL & EMERY

  
Michael F. Fogarty  
Registration No. 36,139

600 13<sup>th</sup> Street, N.W.  
Washington, DC 20005-3096  
(202) 756-8000 MEF:mcw  
Facsimile: (202) 756-8087  
**Date: November 3, 2003**

日 本 国 特 許 庁  
JAPAN PATENT OFFICE

61282-043

T. KOBAYASHI

November 3, 2003

McDermott, Will & Emery

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出 願 年 月 日

Date of Application:

2002年11月 8日

出 願 番 号

Application Number:

特願2002-325359

[ ST.10/C ]:

[ JP2002-325359 ]

出 願 人

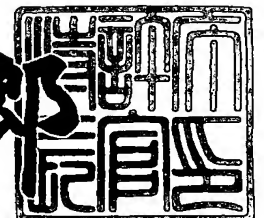
Applicant(s):

松下電器産業株式会社

2003年 6月12日

特 許 庁 長 官  
Commissioner,  
Japan Patent Office

太田 信一郎



出証番号 出証特2003-3046001

【書類名】 特許願

【整理番号】 5037940143

【提出日】 平成14年11月 8日

【あて先】 特許庁長官殿

【国際特許分類】 G01R 31/317  
G06F 15/60

【発明者】

    【住所又は居所】 大阪府門真市大字門真 1 0 0 6 番地 松下電器産業株式会社内

    【氏名】 小林 拓也

【特許出願人】

    【識別番号】 000005821

    【氏名又は名称】 松下電器産業株式会社

【代理人】

    【識別番号】 100105647

    【弁理士】

    【氏名又は名称】 小栗 昌平

    【電話番号】 03-5561-3990

【選任した代理人】

    【識別番号】 100105474

    【弁理士】

    【氏名又は名称】 本多 弘徳

    【電話番号】 03-5561-3990

【選任した代理人】

    【識別番号】 100108589

    【弁理士】

    【氏名又は名称】 市川 利光

    【電話番号】 03-5561-3990

【選任した代理人】

【識別番号】 100115107

【弁理士】

【氏名又は名称】 高松 猛

【電話番号】 03-5561-3990

【選任した代理人】

【識別番号】 100090343

【弁理士】

【氏名又は名称】 栗宇 百合子

【電話番号】 03-5561-3990

【手数料の表示】

【予納台帳番号】 092740

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 0002926

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 パス遅延測定回路

【特許請求の範囲】

【請求項 1】 パス遅延測定対象の組合せ回路の入力に接続されスキャンチェーンを構成する第 1 および第 2 のフリップフロップと、前記組合せ回路の出力に接続されスキャンチェーンを構成する第 3 のフリップフロップとを有し、スキャンチェーンのシフト動作により前記第 1 および第 2 のフリップフロップにテストパターンを設定した後、キャプチャ動作により前記組合せ回路の出力を前記第 3 のフリップフロップに取り込み、前記第 3 のフリップフロップの出力を期待値と比較し、前記キャプチャ動作を行わせる時間を可変することにより前記組合せ回路の信号遷移時間を判定するパス遅延測定回路であって、

前記第 1 および第 2 のフリップフロップに設定するテストパターンを生成するパターン生成回路と、前記第 3 のフリップフロップの出力を期待値と比較する比較判定回路と、前記第 1 および第 2 および第 3 のフリップフロップおよび前記パターン生成回路および前記比較判定回路に対してそれぞれの動作タイミング信号を供給するタイミング信号生成回路とを備え、前記キャプチャ動作を行わせる時間のクロック間隔を可変することにより前記組合せ回路の信号遷移時間を判定することを特徴とするパス遅延測定回路。

【請求項 2】 外部入力されるクロックから高速クロックを生成する通倍回路と、前記信号遷移時間の判定を行う度に更新されるクロックモード値を出力するクロックモードカウンタと、前記高速クロックと前記クロックモード値から前記パス遅延測定回路に供給するクロックを生成するクロック生成回路とを備え、前記クロック生成回路が生成するクロックは前記クロックモード値に応じて前記キャプチャ動作を行わせる時間のクロック間隔が可変されることを特徴とする請求項 1 記載のパス遅延測定回路。

【請求項 3】 前記第 1 および第 2 のフリップフロップと同等のフリップフロップを複数組備えることを特徴とする請求項 1 または 2 記載のパス遅延測定回路。

【請求項 4】 前記第 3 のフリップフロップと同等のフリップフロップを複

数個備えることを特徴とする請求項 1 から 3 のいずれか一項記載のパス遅延測定回路。

【請求項 5】 請求項 1 から 4 のいずれか一項記載のパス遅延測定回路を複数個搭載することを特徴とする半導体装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、L S I における組合せ回路のパス遅延を自動測定することが可能なパス遅延測定回路に関するものである。

【0002】

【従来の技術】

L S I における組合せ回路のパス遅延の測定は、一般にスキャンテスト回路の仕組みを用いて行われ、下記非特許文献 1 にその仕組みが記載されている。

【0003】

【非特許文献 1】

Angela Krstic/Kwang-Ting(Tim)Cheng 著、DELAY FAULT TESTING FOR VLSI CIRCUITS、Kluwer Academic Publishers、英国、1998 年、7 ～ 12 ページ

【0004】

L S I の製造時の出来映えを確認するために、このようなパス遅延測定の仕組みを L S I に具備することがあるが、従来のパス遅延測定回路は、その測定時に、クロック供給、データ入力、データ出力測定を外部に依存していた。

【0005】

すなわち、入力信号は L S I の外部から入力され、出力信号は L S I の外部に出力され、たとえば L S I テスタを用いたパス遅延の評価においては、L S I テスタからテストパターンを入力し、そのテストパターンに応じた期待値と出力信号とを L S I テスタで比較することにより、出力信号の判定を行うのが一般的である。

【0006】

【発明が解決しようとする課題】

しかしながら上記従来技術では、L S I テスタでの判定に用いるテストパターンが複雑になったり、L S I テスタ上でのオペレーションやL S I テスタのテストプログラムが複雑になるといった問題があった。また、L S I テスタから入力したクロックを直接パス遅延測定回路に入れた場合に、遅延測定の精度がL S I テスタの波形生成能力に依存するという問題もあった。

#### 【0007】

本発明は、上記従来問題点を解決するためになされたもので、L S I テスタを使用せずに組合せ回路のパス遅延を自動測定することが可能なパス遅延測定回路を提供することを目的とする。

#### 【0008】

##### 【課題を解決するための手段】

この課題を解決するために、本発明の請求項1に係るパス遅延測定回路は、パス遅延測定対象の組合せ回路の入力に接続されスキャンチェーンを構成する第1および第2のフリップフロップと、前記組合せ回路の出力に接続されスキャンチェーンを構成する第3のフリップフロップとを有し、スキャンチェーンのシフト動作により前記第1および第2のフリップフロップにテストパターンを設定した後、キャプチャ動作により前記組合せ回路の出力を前記第3のフリップフロップに取り込み、前記第3のフリップフロップの出力を期待値と比較し、前記キャプチャ動作を行わせる時間を可変することにより前記組合せ回路の信号遷移時間を判定するパス遅延測定回路であって、前記第1および第2のフリップフロップに設定するテストパターンを生成するパターン生成回路と、前記第3のフリップフロップの出力を期待値と比較する比較判定回路と、前記第1、第2、第3のフリップフロップ、前記パターン生成回路および前記比較判定回路に対してそれぞれの動作タイミング信号を供給するタイミング信号生成回路とを備え、前記キャプチャ動作を行わせる時間のクロック間隔を可変することにより前記組合せ回路の信号遷移時間を判定するものである。

#### 【0009】

上記構成によれば、パターン生成回路で生成した値を組合せ回路に入力し、組合せ回路からの出力を比較判定回路で判定することを、タイミング信号生成回路

が生成する動作タイミング信号により自動で行うことができるため、複雑な L S I テスタのオペレーションや複雑なテストプログラムが不要となる。

## 【 0 0 1 0 】

本発明の請求項 2 に係るパス遅延測定回路は、請求項 1 記載のパス遅延測定回路において、外部入力されるクロックから高速クロックを生成する逓倍回路と、前記信号遷移時間の判定を行う度に更新されるクロックモード値を出力するクロックモードカウンタと、前記高速クロックと前記クロックモード値から前記パス遅延測定回路に供給するクロックを生成するクロック生成回路とを備え、前記クロック生成回路が生成するクロックは前記クロックモード値に応じて前記キャプチャ動作を行わせる時間のクロック間隔が可変されるものである。

## 【 0 0 1 1 】

上記構成によれば、自動生成されるクロックのキャプチャ動作時のクロック間隔がクロックモード値の更新に呼応して更新されるため、クロックモード値から組合せ回路の信号遷移時間を知ることができ、さらに容易にパス遅延の自動測定を行うことが可能となる。

## 【 0 0 1 2 】

本発明の請求項 3 に係るパス遅延測定回路は、請求項 1 または 2 記載のパス遅延測定回路において、前記第 1 および第 2 のフリップフロップと同等のフリップフロップを複数組備えるものである。

## 【 0 0 1 3 】

本発明の請求項 4 に係るパス遅延測定回路は、請求項 1 から 3 のいずれか一項記載のパス遅延測定回路において、前記第 3 のフリップフロップと同等のフリップフロップを複数個備えるものである。

## 【 0 0 1 4 】

請求項 3、4 記載のパス遅延測定回路によれば、パス遅延測定の対象となる組合せ回路の観測ポイントや制御ポイントを複数箇所準備し、その入力や出力の制御を行うことができるため、より多岐にわたるパス遅延の測定を行うことができる。

## 【 0 0 1 5 】



本発明の請求項 5 に係る半導体装置は、請求項 1 から 4 のいずれか一項記載のパス遅延測定回路を複数個搭載するものである。

【0016】

上記構成によれば、パス遅延測定回路を複数個搭載した半導体チップやウェハにおける様々な位置のパス遅延を測定し、半導体チップやウェハ上でのパス遅延のばらつき情報を得ることが可能となる。

【0017】

【発明の実施の形態】

以下、本発明の実施の形態について図面を参照しながら説明する。

図 1 は本発明の第 1 の実施形態に係るパス遅延測定回路の構成を示すブロック図である。図 1 において、101 はパス遅延測定対象の組合せ回路、102、103、104 はフリップフロップ、105 はパターン生成回路、106 は比較判定回路、107 はタイミング信号生成回路である。

【0018】

第 1 のフリップフロップ 102 は組合せ回路 101 に入力するための信号値を設定し、第 2 のフリップフロップ 103 は第 1 のフリップフロップ 102 からの信号を受けて組合せ回路 101 に信号を入力し、第 3 のフリップフロップは組合せ回路 101 の出力を取り込む。タイミング信号生成回路 107 はクロック CLK1 でカウント動作を行うカウンタ回路を備え、そのカウント値から、スキャンテストモード信号 NT、パターン生成タイミング信号 TIM\_PG、比較判定タイミング信号 TIM\_COMP を生成する。

【0019】

パターン生成回路 105 は、パターン生成タイミング信号 TIM\_PG により、第 1 のフリップフロップ 102 および第 2 のフリップフロップ 103 に対してテストパターンを設定する。比較判定回路 106 は、比較判定タイミング信号 TIM\_COMP により、第 3 のフリップフロップ 104 の出力の遷移をテストパターンに対する期待値と比較し、比較判定信号 COMP とテスト終了信号 DONE を出力する。

【0020】

図 2 は、図 1 に示したパス遅延測定回路の動作を説明するタイミングチャートである。図 2 において、時刻 T 2 にてパス遅延テスト実行のための信号 T E S T が “H” となりイネーブルとなる。それと同時に、第 1 ～ 第 3 のフリップフロップ 1 0 2、1 0 3、1 0 4 へのスキャンテストモード信号 N T が “H” となっているため、各フリップフロップはスキャンテストモード入力 D T からデータを取り込む。

#### 【 0 0 2 1 】

時刻 T 2 および T 3 でパターン発生タイミング信号 T I M \_ P G がイネーブルとなり、第 1 のフリップフロップ 1 0 2、第 2 のフリップフロップ 1 0 3 の順に、組合せ回路 1 0 1 に入力されるテストパターン D A T A が伝播する。

#### 【 0 0 2 2 】

時刻 T 4 および T 5 でスキャンテストモード信号 N T が “L” となり、各フリップフロップが通常動作を行うことで、組合せ回路 1 0 1 には第 2 のフリップフロップ 1 0 3、第 1 のフリップフロップ 1 0 2 の出力信号が順に入力されることになる。このとき、第 3 のフリップフロップ 1 0 4 では、組合せ回路 1 0 1 の時刻 T 5 の出力値を取り込む。

#### 【 0 0 2 3 】

時刻 T 6 で再びスキャンテストモード信号 N T が “H” となり、スキャン動作を行うことで、第 3 のフリップフロップ 1 0 3 の出力値が比較判定回路 1 0 6 に伝播する。比較判定回路 1 0 6 ではテストパターンに対する期待値と伝播してきた信号とを比較し、その比較結果を比較判定信号 C O M P に出力し、また、1 テストサイクルの終了を示すテスト終了信号 D O N E を出力する。

#### 【 0 0 2 4 】

このように動作するパス遅延測定回路において、外部から入力するクロック C L K 1 のタイミングにおける時刻 T 4 から T 5 までの時間を任意に変化させ、そのたびに比較判定回路 1 0 6 にて第 3 のフリップフロップ 1 0 4 に得られたデータを期待値と比較判定することにより、組合せ回路 1 0 1 での信号遷移にかかる時間を自動測定することができる。

#### 【 0 0 2 5 】

なお、本実施形態では、スキャンフリップフロップとして、MUX型のスキャンフリップフロップを用いた場合について説明したが、他の形式のスキャンフリップフロップを用いても問題の無いことは言うまでも無い。

## 【 0 0 2 6 】

図 3 は本発明の第 2 の実施形態に係るパス遅延測定回路の構成を示すブロック図である。図 1 と同一部分には同一符号を付して説明する。図 3 において、3 0 1 は外部からのクロック入力 CLK からパス遅延を測定するために使用するクロック CLK 1 を生成し、そのクロック CLK 1 の状態を識別するための信号 C C O U N T を出力するためのクロック生成回路である。

## 【 0 0 2 7 】

図 4 はクロック生成回路 3 0 1 の構成例を示すブロック図である。図 4 において、4 0 1 はクロック入力 CLK から高速なクロック CLK 0 を生成するための通倍回路、4 0 2 は識別信号 C C O U N T を生成させるクロックモードカウンタ、4 0 3 はクロック CLK 1 を生成するためのクロック生成部である。

## 【 0 0 2 8 】

クロックモードカウンタ 4 0 2 は通倍回路 4 0 1 で高速に通倍されたクロック CLK 0 を元にして識別信号 C C O U N T を生成させ、クロック生成部 4 0 3 は通倍回路 4 0 1 から生成された高速クロック CLK 0 とクロックモードカウンタ 4 0 2 から出力される識別信号 C C O U N T からクロック CLK 1 を生成する。

## 【 0 0 2 9 】

図 5 は、図 3 および図 4 に示したパス遅延測定回路の動作を説明するタイミングチャートである。図 5 に示すように、外部からの低速のクロック CLK が通倍回路 4 0 1 により高速なクロック CLK 0 に通倍され、クロックモードカウンタ 4 0 2 によりクロック CLK 0 から識別信号 C C O U N T が生成され、さらに、クロック生成部 4 0 3 により識別信号 C C O U N T とクロック CLK 0 からクロック CLK 1 が生成される。

## 【 0 0 3 0 】

このとき、生成されるクロック CLK 1 には、識別信号 C C O U N T の値に応じて図 2 の時刻 T 4 から T 5 にあたるキャプチャ動作をさせるときのクロック間

隔に時間差を持たせる。すなわち、識別信号 C C O U N T が 0 0 のときには組合せ回路 1 0 1 のパス遅延の設計値に対して十分に大きな時間差を持たせ、識別信号 C C O U N T がインクリメントされるごとに徐々にその時間差を小さくしていく。

#### 【 0 0 3 1 】

このようにして、識別信号 C C O U N T の値とクロック C L K 1 の前記時間差を一意に対応させることで、各識別信号 C C O U N T の値におけるテスト終了信号 D O N E と比較判定信号 C O M P をモニターすれば、組合せ回路 1 0 1 のパス遅延の限界値を測定することができる。

#### 【 0 0 3 2 】

図 6 は本発明の第 3 の実施形態に係るパス遅延測定回路の構成を示すブロック図である。図 1 および図 3 と同一部分には同一符号を付して説明する。図 6 において、6 0 1、6 0 2、6 0 3、6 0 4 は新たに追加されたフリップフロップである。

#### 【 0 0 3 3 】

第 6 のフリップフロップ 6 0 3 は、第 1 のフリップフロップ 1 0 2 と同様に組合せ回路 1 0 1 に入力する信号値を設定し、第 7 のフリップフロップ 6 0 4 は第 2 のフリップフロップ 1 0 3 と同様に、第 6 のフリップフロップ 6 0 3 からの信号を受けて組合せ回路 1 0 1 に信号を入力する。第 4 のフリップフロップ 6 0 1 および第 5 のフリップフロップ 6 0 2 は、第 3 のフリップフロップ 1 0 4 と同様に、内部の信号遷移を観測するために組合せ回路 1 0 1 の出力を取り込む。

#### 【 0 0 3 4 】

このように、組合せ回路に対する入力信号制御のためのフリップフロップや出力信号観測のためのフリップフロップを複数組具備し、各フリップフロップをタイミング信号生成回路 1 0 7 から制御させることで、組合せ回路 1 0 1 中の多様なパスに対する遅延を測定することが可能となる。

#### 【 0 0 3 5 】

なお、組合せ回路 1 0 1 内部の信号遷移を観測するためのフリップフロップの個数や、組合せ回路 1 0 1 に信号入力を行うフリップフロップの個数に関しては

、本実施形態に記載している個数に限定されないことは言うまでも無い。

#### 【0036】

図7は、本発明に係るパス遅延測定回路を複数個具備した半導体装置の構成例を示す図である。図7において、701～705は本発明のパス遅延測定回路、706はパス遅延測定回路701～705を制御するための制御回路である。ここで、クロック生成回路301は各パス遅延測定回路701～705に対して共通の1つの回路とすることができる。

#### 【0037】

たとえば、LSIに具備する上記のような複数個のパス遅延測定回路701～705を、回路的かつレイアウト的にほぼ同じものとするにより、LSI内部の物理配置によるパス遅延のばらつきを測定することが容易に実現される。

#### 【0038】

##### 【発明の効果】

以上記述したように、本発明によれば、スキャンテスト回路の仕組みを用いて行われる組合せ回路のパス遅延測定回路において、タイミング信号発生回路、パターン発生回路、比較判定回路、クロック生成回路を備えることにより、LSIテストの複雑なオペレーションやテストプログラムが不要となり、組合せ回路のパス遅延測定を容易に行うことができる。また、このようなパス遅延測定回路をLSI内部に複数個具備することで、LSI内部のパス遅延のばらつきを容易に測定することができる。

##### 【図面の簡単な説明】

#### 【図1】

本発明の第1の実施形態に係るパス遅延測定回路の構成を示すブロック図。

#### 【図2】

本発明の第1の実施形態に係るパス遅延測定回路の動作を説明するタイミングチャート。

#### 【図3】

本発明の第2の実施形態に係るパス遅延測定回路の構成を示すブロック図。

#### 【図4】

本発明におけるクロック生成回路の構成を示すブロック図。

【図 5】

本発明の第 2 の実施形態に係るパス遅延測定回路の動作を説明するタイミングチャート。

【図 6】

本発明の第 3 の実施形態に係るパス遅延測定回路の構成を示すブロック図。

【図 7】

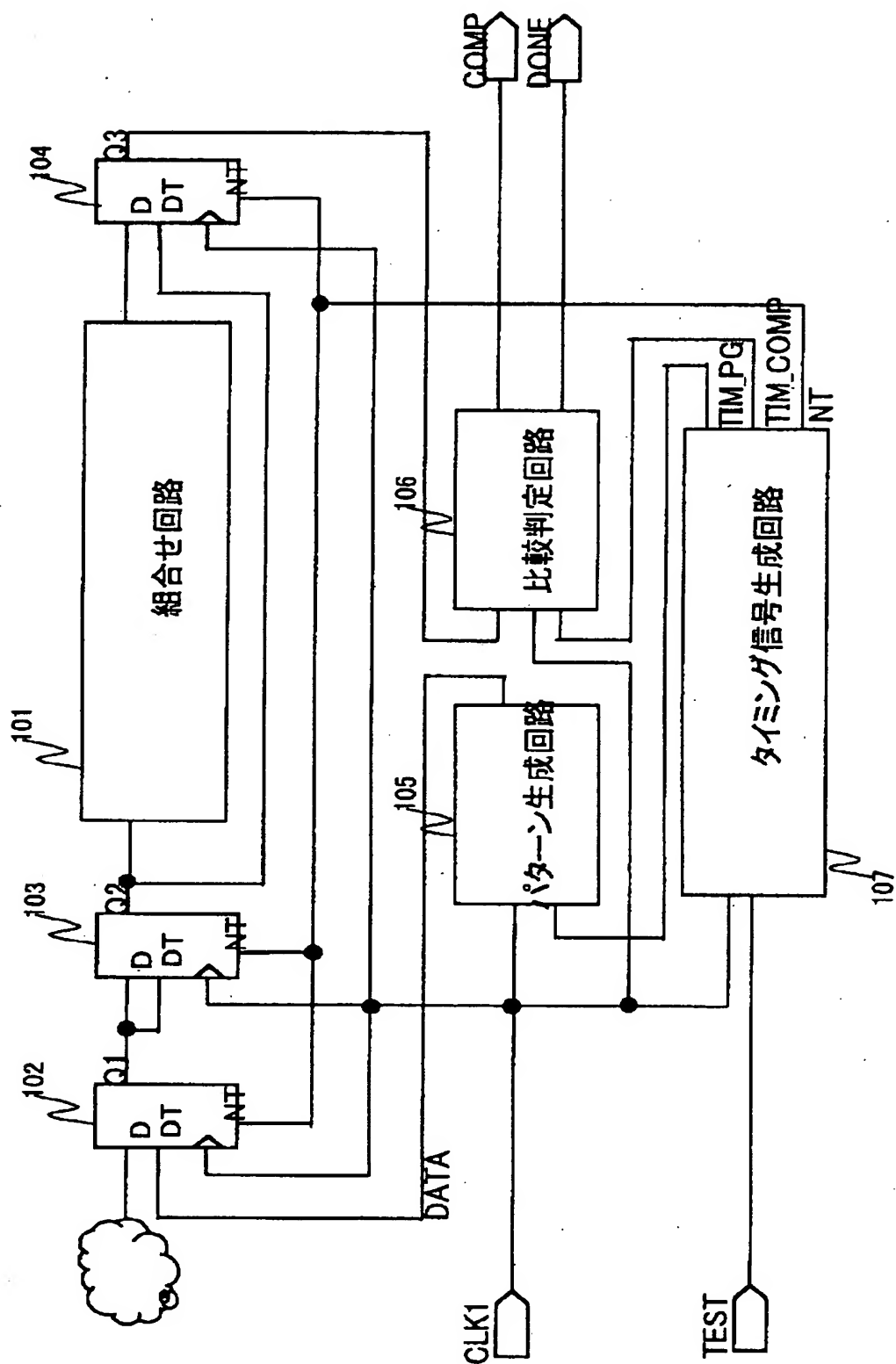
本発明に係るパス遅延測定回路を複数個具備した半導体装置の構成を示す図。

【符号の説明】

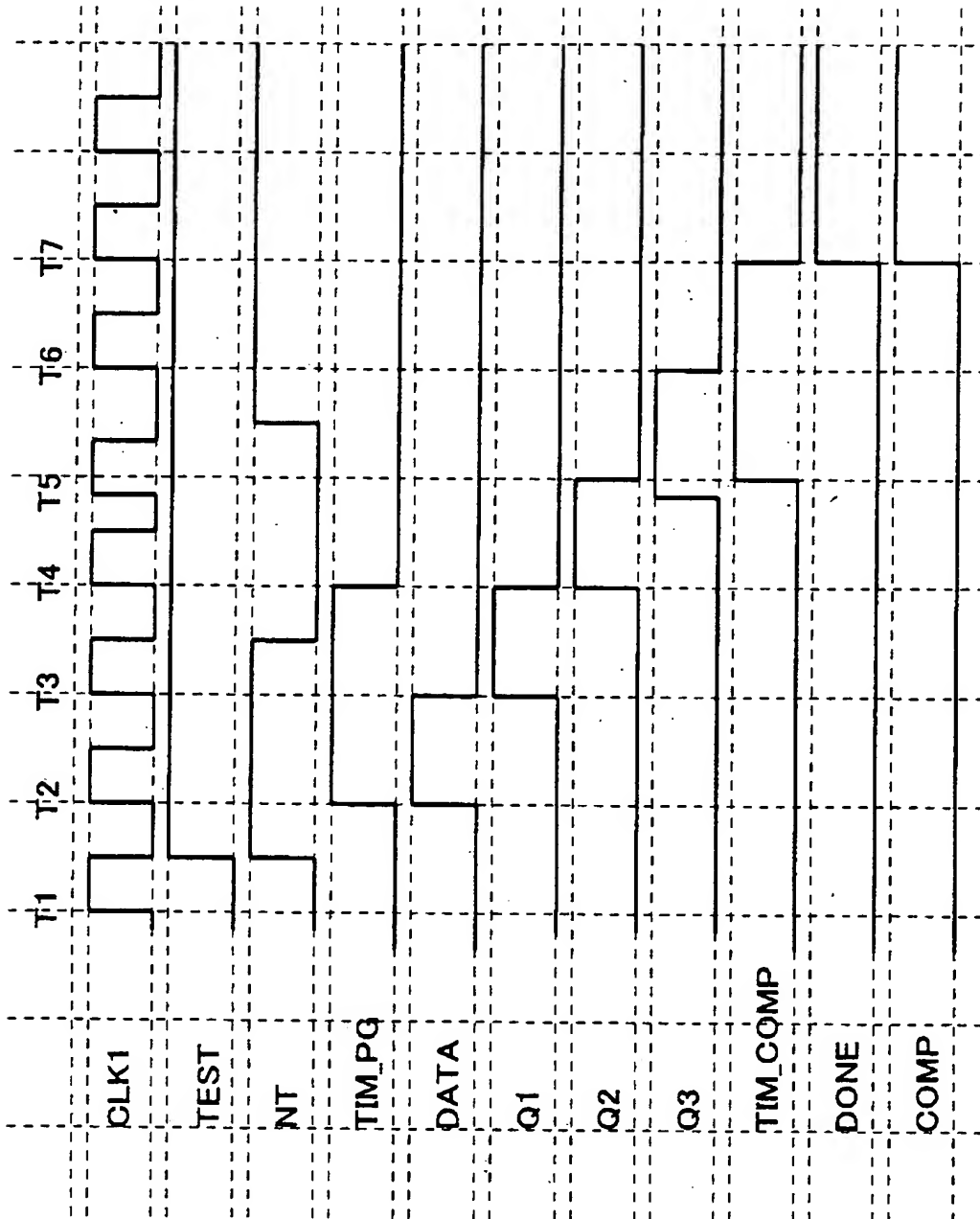
- 1 0 1   パス遅延測定対象の組合せ回路
- 1 0 2、1 0 3、1 0 4   フリップフロップ
- 1 0 5   パターン生成回路
- 1 0 6   比較判定回路
- 1 0 7   タイミング信号生成回路
- 3 0 1   クロック生成回路
- 4 0 1   通倍回路
- 4 0 2   クロックモードカウンタ
- 4 0 3   クロック生成部
- 6 0 1～6 0 4   フリップフロップ
- 7 0 1～7 0 5   パス遅延測定回路
- 7 0 6   制御回路

【書類名】 図面

【図 1】

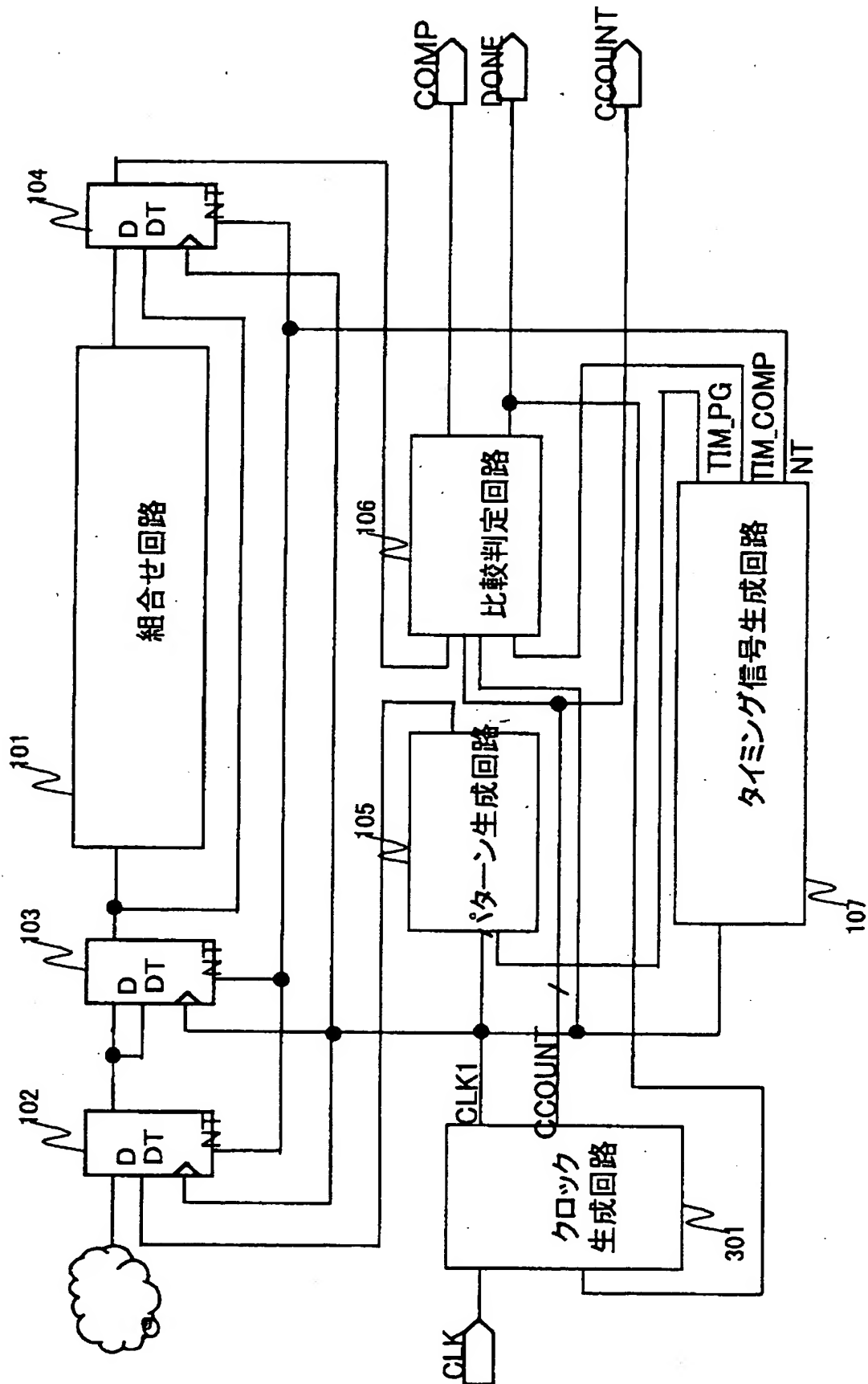


【図 2】

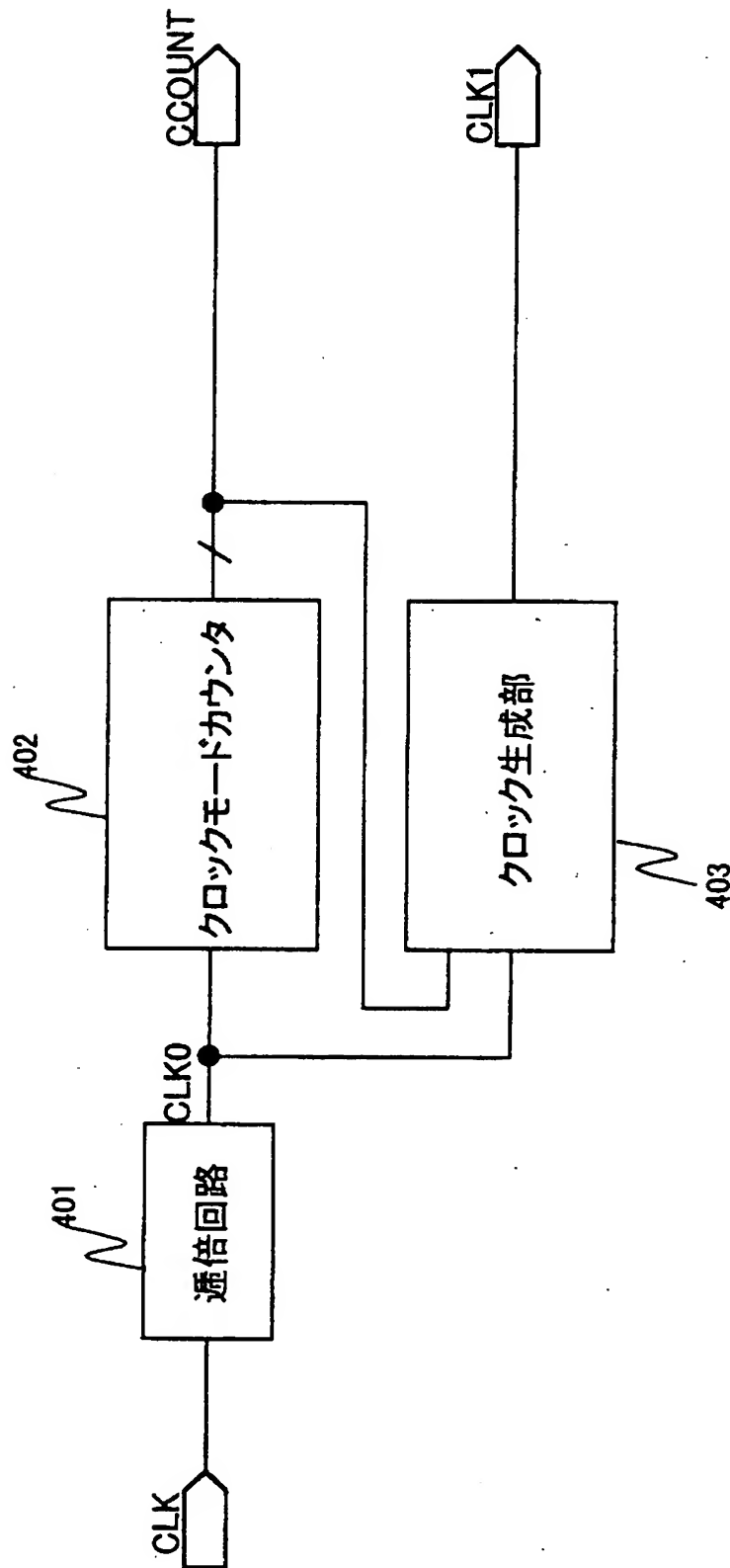


【図 3】

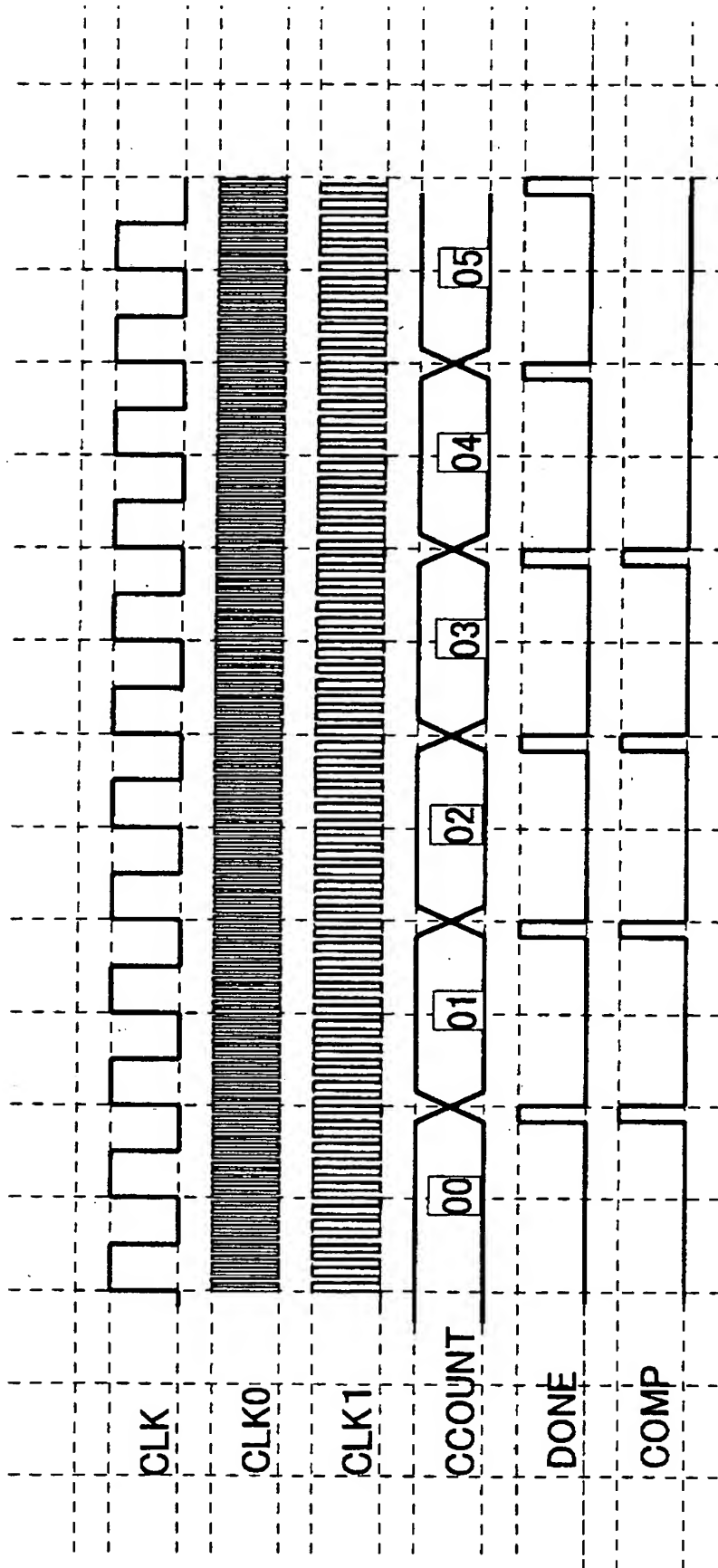




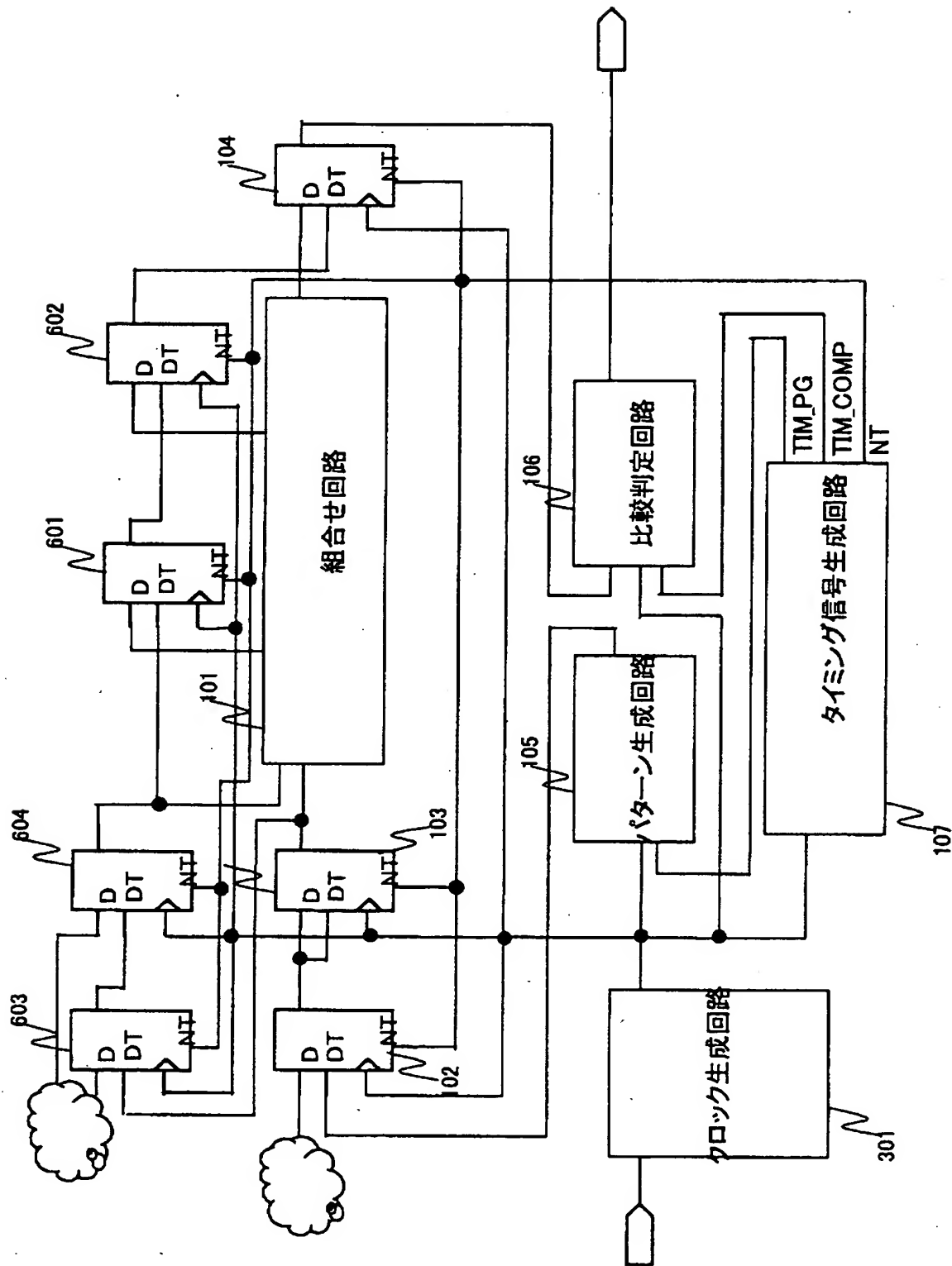
【図 4】



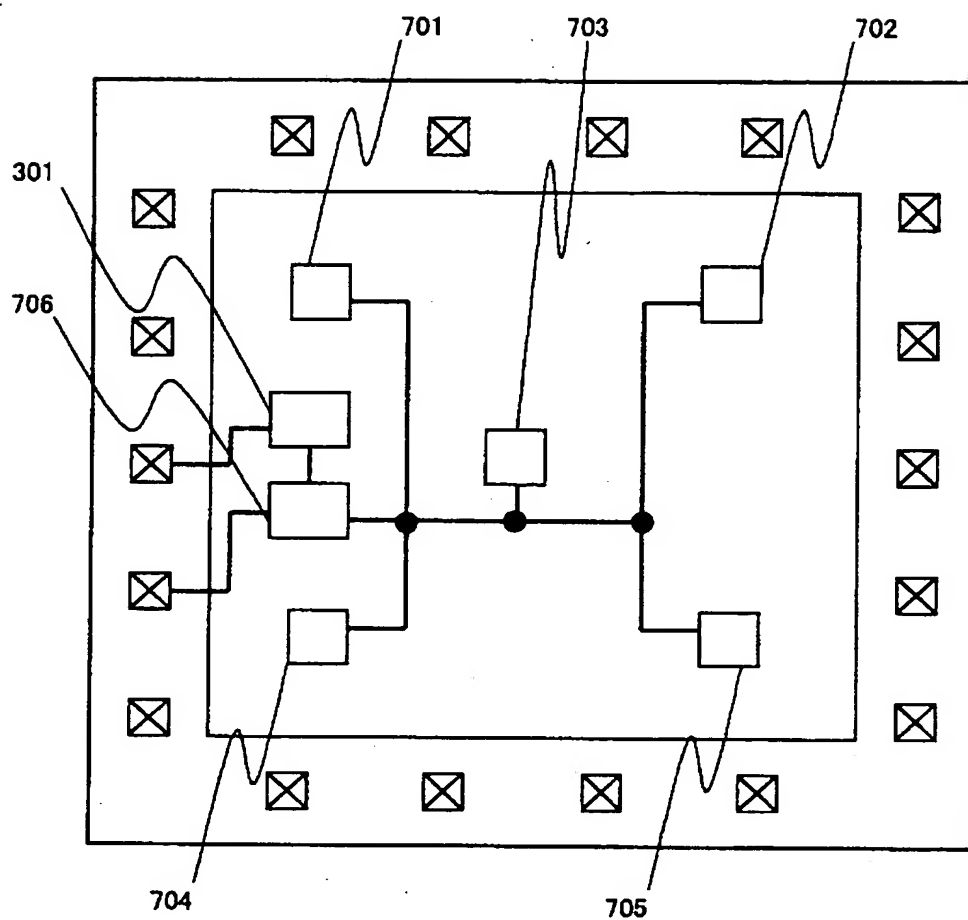
【図 5】



【图 6】



【図 7】



【書類名】 要約書

【要約】

【課題】 スキャンテスト回路の仕組みを用い、キャプチャ動作により取り込んだ組合せ回路の出力を期待値と比較し、キャプチャ動作を行わせる時間を可変することにより組合せ回路の信号遷移時間を判定するパス遅延測定回路において、L S I テスタを使用せずに組合せ回路のパス遅延を自動測定する。

【解決手段】 組合せ回路 1 0 1 に与えるテストパターンを生成するパターン生成回路 1 0 5 と、組合せ回路の出力を期待値と比較する比較判定回路 1 0 6 と、信号遷移時間の判定を行う度に更新されるクロックモード値を出力するクロックモードカウンタを有し、クロックモード値に応じてキャプチャ動作を行わせる時間のクロック間隔が可変されるクロックを生成するクロック生成回路 3 0 1 と、それぞれの回路の動作タイミング信号を供給するタイミング信号生成回路 1 0 7 とを備える。

【選択図】 図 3

出 願 人 履 歴 情 報

識別番号 [000005821]

1. 変更年月日	1990年 8月28日
[変更理由]	新規登録
住 所	大阪府門真市大字門真1006番地
氏 名	松下電器産業株式会社